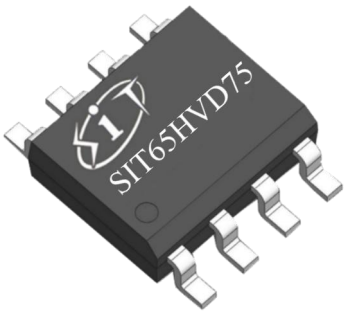
特点

- 3.0~5.5V 电源范围，半双工；
- 总线端口 ESD 保护能力 HBM 达到±15kV；
- 总线容错耐压达到±15V；
- 驱动器短路输出保护；
- 低功耗关断功能；
- 接收器开路失效保护；
- 具有较强的抗噪能力；
- 集成的瞬变电压抵制功能；
- 在电噪声环境中的数据传输速率可达到 20Mbps；
- 提供小外型 DFN3*3-8，MSOP8/VSSOP8，BGA 封装

产品外形示意图



提供绿色环保无铅封装

描述

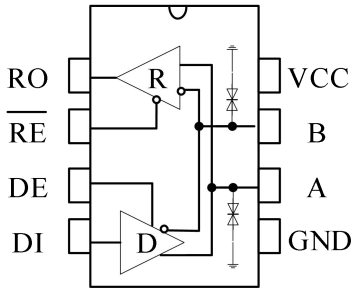
SIT65HVD75 是一款 3.0V~5.5V 电源供电、总线端口 ESD 保护能力 HBM 达到±15kV、总线耐压范围达到±15V、半双工、低功耗，功能完全满足 TIA/EIA-485 标准要求的 RS-485 收发器。

SIT65HVD75 包括一个驱动器和一个接收器，两者均可独立使能与关闭。当两者均禁用时，驱动器与接收器均输出高阻态。可实现高达 20Mbps 的无差错数据传输。

SIT65HVD75 工作电压范围为 3.0~5.5V，具备失效安全（fail-safe）、限流保护、过压保护等功能。

引脚分布图

SIT65HVD75



SIT65HVD75C

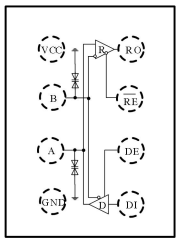


图 1 SIT65HVD75 引脚分布图（顶视图）

引脚定义

引脚名称	引脚序号 SIT65HVD75	引脚序号 SIT65HVD75C	引脚功能
RO	1	8	接收器输出端。 当/RE 为低电平时，若 A-B≥-10mV，RO 输出为高电平；若 A-B≤-200mV，RO 输出为低电平。
/RE	2	7	接收器输出使能控制。 当/RE 接低电平时，接收器输出使能，RO 输出有效；当/RE 接高电平时，接收器输出禁能，RO 为高阻态；/RE 接高电平且 DE 接低电平时，器件进入低功耗关断模式。
DE	3	6	驱动器输出使能控制。 DE 接高电平时驱动器输出有效，DE 为低电平时输出为高阻态；/RE 接高电平且 DE 接低电平时，器件进入低功耗关断模式。
DI	4	5	DI 驱动器输入。DE 为高电平时，DI 上的低电平使驱动器同相端 A 输出为低电平，驱动器反相端 B 输出为高电平；DI 上的高电平将使同相端输出为高电平，反相端输出为低。
GND	5	4	接地。
A	6	3	接收器同相输入和驱动器同相输出端。
B	7	2	接收器反相输入和驱动器反相输出端。
VCC	8	1	接电源。

注：DFN3*3-8 和 MSOP8/VSSOP8 封装背面金属焊盘推荐接地。

极限参数

参数	符号	大小	单位
电源电压	VCC	+7	V
控制端口电压	/RE，DE，DI	-0.3~VCC+0.5	V
总线侧输入电压	A，B	-15~+15	V
接收器输出电压	RO	-0.3~VCC+0.5	V
工作温度范围	T_A	-40~125	℃
存储工作温度范围	T_{stg}	-60~150	℃
焊接温度范围		300	℃

最大极限参数值是指超过这些值可能会使器件发生不可恢复的损坏。在这些条件之下是不利于器件正常运作的，器件连续工作在最大允许额定值下可能影响器件可靠性，所有的电压的参考点为地。

驱动器直流电学特性

参数	符号	测试条件	最小	典型	最大	单位
驱动器差分输出（无负载）	V_{OD1}		2.5		5.5	V
驱动差分输出	V_{OD2}	图 2，RL=54Ω，VCC=3.3V	1.5	1.8	VCC	V
		图 2，RL=54 Ω，VCC=5V	1.5	3	VCC	V
输出电压幅值的变化（NOTE1）	ΔV_{OD}	图 2，RL=54Ω			0.2	V
输出共模电压	V_{OC}	图 2，RL=54Ω			3	V
共模输出电压幅值的变化（NOTE1）	ΔV_{OC}	图 2，RL=54Ω			0.2	V
高电平输入	V_{IH}	DE，DI，/RE	2.0			V
低电平输入	V_{IL}	DE，DI，/RE			0.8	V
逻辑输入电流	I_{IN1}	DE，DI，/RE	-2		2	μA
输出短路时的电流，短路到高	I_{OSD1}	短路到 0V~12V			250	mA
输出短路时的电流，短路到低	I_{OSD2}	短路到-7V~0V	-250			mA

（如无另外说明，T_A=-40℃~125℃，T_A=25℃，VCC=5V）。

NOTE1：ΔV_{OD} 和ΔV_{OC} 分别是输入信号 DI 状态变化时引起的 V_{OD} 与 V_{OC} 幅值的变化。

接收器直流电学特性

参数	符号	测试条件	最小	典型	最大	单位
输入电流（A，B）	I_{IN2}	DE=0V，VCC=0 或 5V V_{IN}=12V		500	1000	μA
		DE=0V，VCC=0 或 5V V_{IN}=-7V	-800	-300		μA
正向输入阈值电压	V_{IT+}	-7V≤V_{CM}≤12V			-10	mV
反向输入阈值电压	V_{IT-}	-7V≤V_{CM}≤12V	-200			mV
输入迟滞电压	V_{hys}	-7V≤V_{CM}≤12V	10	30		mV
高电平输出电压	V_{OH}	I_{OUT}=−2.5mA，V_{ID}=+200mV	VCC-1.5			V

参数	符号	测试条件	最小	典型	最大	单位
低电平输出电压	V_{OL}	I_{OUT}=+2.5mA，V_{ID}=-200mV			0.4	V
三态输入漏电流	I_{OZR}	0.4V<V_O<2.4V			±1	μA
接收端输入电阻	R_{IN}	-7V≤V_{CM}≤12V	12			kΩ
接收器短路电流	I_{OSR}	0V≤V_O≤VCC	±8		±90	mA

（如无另外说明，T_A=-40℃~125℃，T_A=25℃，VCC=5V）。

供电电流

参数	符号	测试条件	最小	典型	最大	单位
供电电流	I_{CC1}	/RE=0V，DE=0V，VCC=3.3V		240	650	μA
		/RE=0V，DE=0V，VCC=5V		270	750	μA
	I_{CC2}	/RE=VCC，DE=VCC，VCC=3.3V		360	650	μA
		/RE=VCC，DE=VCC，VCC=5V		400	750	μA
关断电流	I_{SHDN}	/RE=VCC，DE=0V，VCC=3.3V		0.2	10	μA
		/RE=VCC，DE=0V，VCC=5V		0.2	10	μA

驱动器开关特性

参数	符号	测试条件	最小	典型	最大	单位
驱动器差分输出延迟	t_{DD}	R_L=60Ω，C_L=100pF 见图 3 与图 4		15	32	ns
驱动器差分输出过渡时间	t_{TD}			9	20	ns
驱动器传播延迟从低到高	t_{PLH}	R_L=27Ω，见图 3 与图 4		18	40	ns
驱动器传播延迟从高到低	t_{PHL}	R_L=27Ω，见图 3 与图 4		18	40	ns
$\|t_{PLH}-t_{PHL}\|$	t_{PDS}	R_L=27Ω，见图 3 与图 4		2	6	ns
使能到输出高	t_{PZH}	R_L=110Ω，见图 5 与图 6		16	45	ns
使能到输出低	t_{PZL}			16	45	ns

参数	符号	测试条件	最小	典型	最大	单位
输入低到禁能	t_{PLZ}	R_L=110Ω，见图 5 与图 6		22	85	ns
输入高到禁能	t_{PHZ}			22	85	ns
关断条件下，使能到输出高	t_{PSH}	R_L=110Ω，见图 5 与图 6		20	100	ns
关断条件下，使能到输出低	t_{PSL}	R_L=110Ω，（见图 5 与图 6）		20	100	ns

接收器开关特性

参数	符号	测试条件	最小	典型	最大	单位
接收器输入到输出传播延迟从低到高	t_{RPLH}	C_L=15pF 见图 7 与图 8		35	60	ns
接收器输入到输出传播延迟从高到低	t_{RPHL}			35	60	ns
$\lvert t_{RPLH} - t_{RPHL} \rvert$	t_{RPDS}			3	8	ns
使能到输出低时间	t_{RPZL}	C_L=15pF 见图 7 与图 8		16	30	ns
使能到输出高时间	t_{RPZH}	C_L=15pF 见图 7 与图 8		16	30	ns
从输出低到禁能时间	t_{RPLZ}	C_L=15pF 见图 7 与图 8		30	50	ns
从输出高到禁能时间	t_{RPHZ}	C_L=15pF 见图 7 与图 8		30	50	ns
关断状态下使能到输出高时间	t_{RPSH}	C_L=15pF 见图 7 与图 8		150	500	ns
关断状态下使能到输出低时间	t_{RPSL}	C_L=15pF 见图 7 与图 8		150	500	ns
进入关断状态时间	t_{SHDN}	NOTE2	50		300	ns

NOTE2：当/RE=1，DE=0 持续时间小于 80ns 时，器件必不进入 shutdown 状态，当大于 300ns 时，必定进入 shutdown 状态。

功能表

发送功能表

控制		输入	输出	
/RE	DE	DI	A	B
X	1	1	H	L
X	1	0	L	H
0	0	X	Z	Z
1	0	X	Z(shutdown)	
X：任意电平；Z：高阻。				

接收功能表

控制		输入	输出
/RE	DE	A-B	RO
0	X	≥-10mV	H
0	X	≤-200mV	L
0	X	开/短路	H
1	X	X	Z
X：任意电平；Z：高阻。			

测试电路

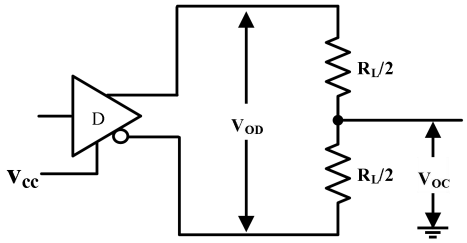
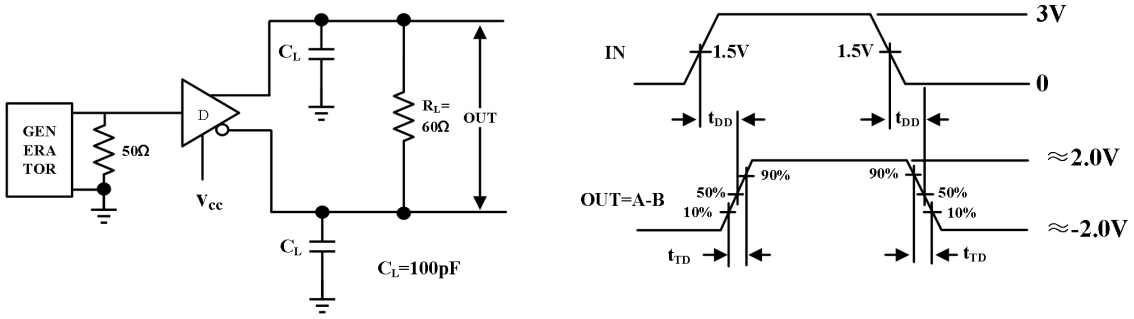


图 2 驱动器直流测试负载



CL 包含探针以及杂散电容（下同）

图 3 驱动器差分延迟与渡越时间

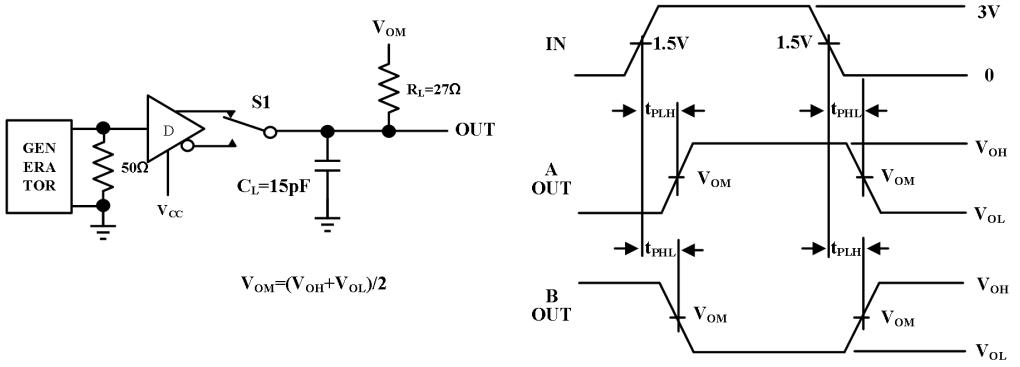


图 4 驱动器传播延迟

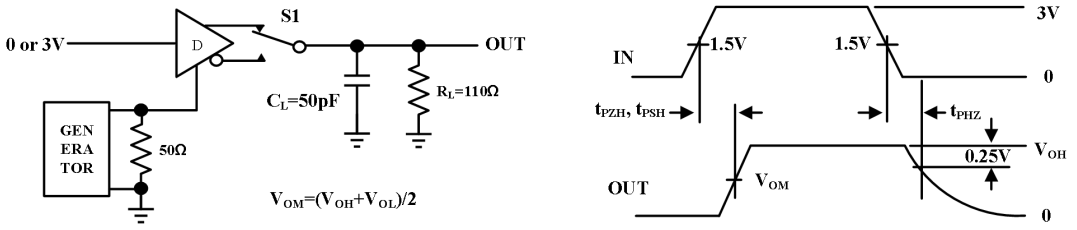


图 5 驱动器使能与禁能时间

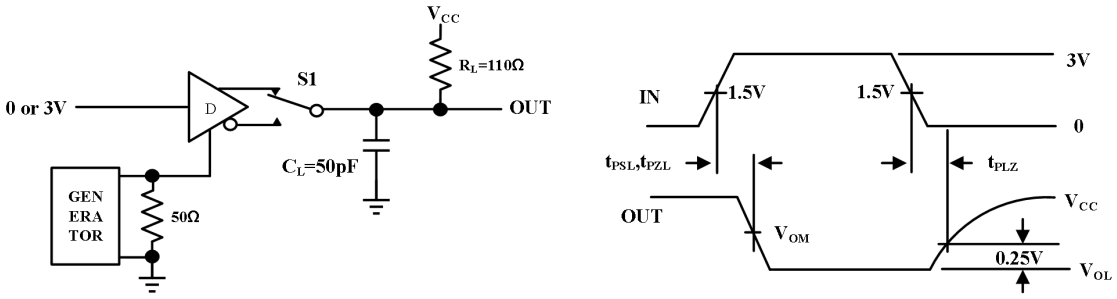


图 6 驱动器使能与禁能时间

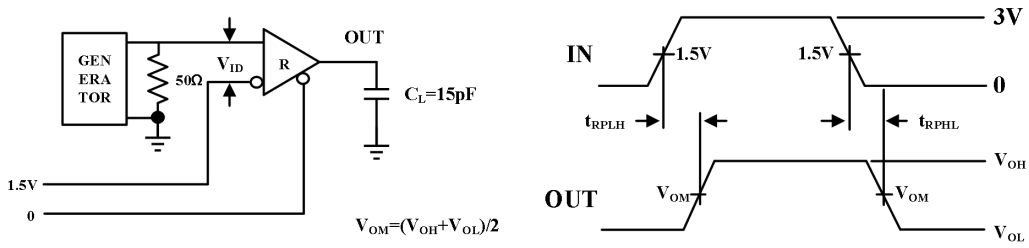
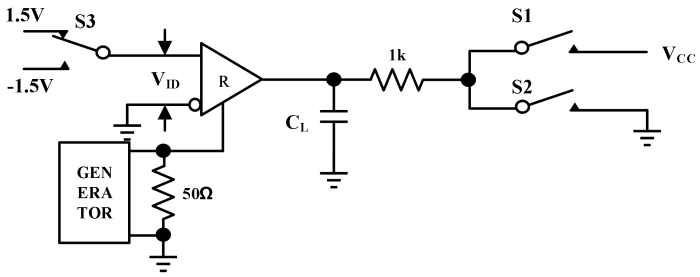


图 7 接收器传播延时测试电路



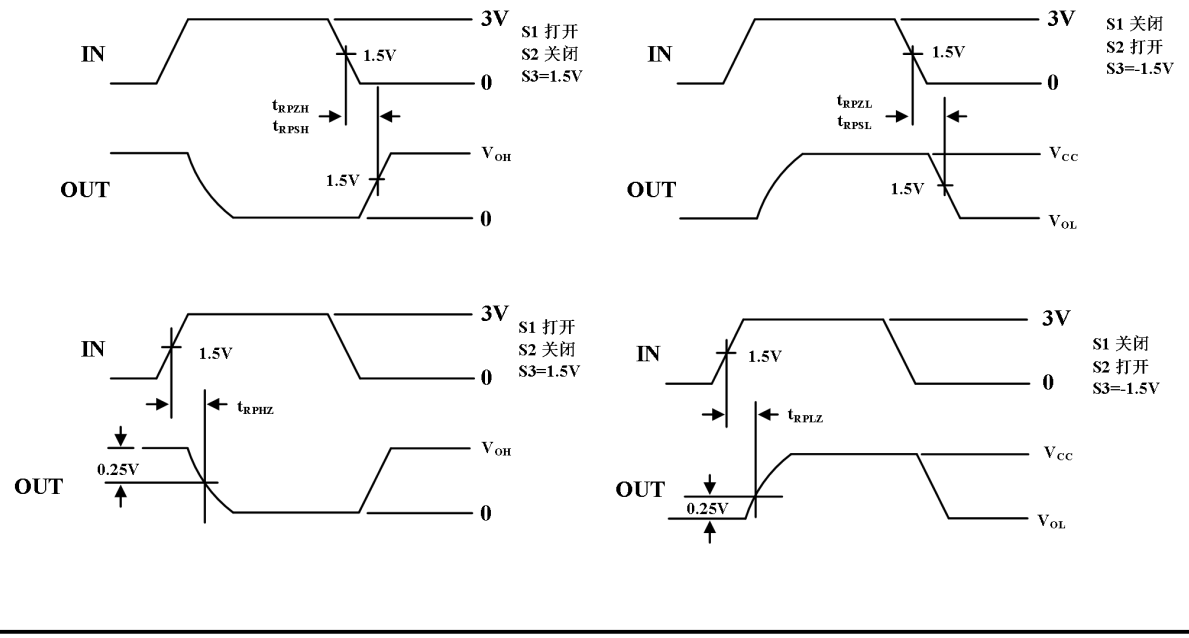


图 8 接收器使能与禁能时间

说明

1 简述

SIT65HVD75 是一款 3.0V~5.5V 电源供电、总线端口接触放电能力达到±15kV、总线直流耐压达到±15V 以上、用于 RS-485/RS-422 通信的半双工高速收发器，包含一个驱动器和接收器。具有失效安全，过压保护、过流保护功能。SIT65HVD75 实现高达 20Mbps 的无差错数据传输。

2 驱动器输出保护

通过过流、过压保护机制避免故障或总线冲突引起输出电流过大和功耗过高，在整个共模电压范围（参考典型工作特性）内提供快速短路保护。

3 典型应用

3.1 总线式组网：SIT65HVD75 RS485 收发器设计用于多点总线传输线上的双向数据通信。图 9 显示了典型网络应用电路。这些器件也能用作电缆长于 4000 英尺的线性转发器，为减小反射，应当在传输线两端以其特性阻抗进行终端匹配，主干线以外的分支连线长度应尽可能短。

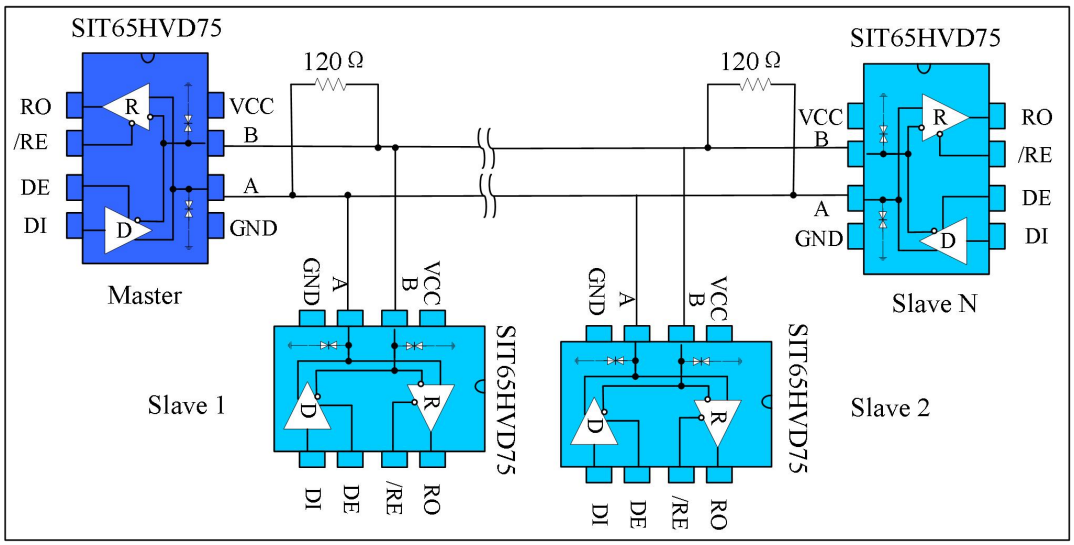


图 9 总线式 RS485 半双工通讯网络

3.2 手拉手式组网：又称菊花链拓扑结构，是 RS485 总线布线的标准及规范，是 TIA 等组织推荐使用的 RS485 总线拓扑结构。其布线方式就是主控设备与多个从控设备形成手拉手连接方式，如图 10 所示，不留分支才是手拉手的方式。这种布线方式，具有信号反射小，通讯成功率高等优点。

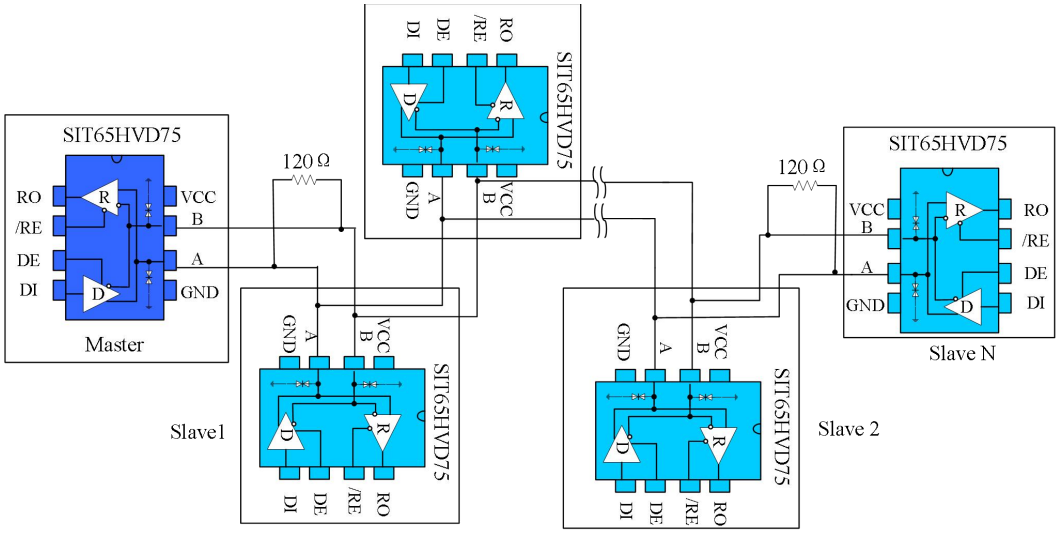


图 10 手拉手式 RS485 半双工通讯网络

3.3 总线端口防护：在恶劣的环境下，RS485 通讯端口通常都做好静电防护、雷击浪涌防护等额外的防护，甚至还需要做好防止 380V 市电接入的方案，以避免智能仪表、工控主机的损坏。图 11 为常见的 3 种 RS485 总线端口防护方案。第一种为 AB 端口分别并联 TVS 器件到保护地，AB 端口之间并联 TVS 器件、AB 端口分别串联热敏电阻、并接气体放电管到保护地形成三级保护的方案；第二种为 AB 分别并联 TVS 到地、串联热敏电阻，AB 之间并联压敏电阻的三级防护方案；第三种为 AB 分别接上下拉电阻到电源与地，AB 之间接 TVS，A 或 B 某一端口接热敏电阻的方案。

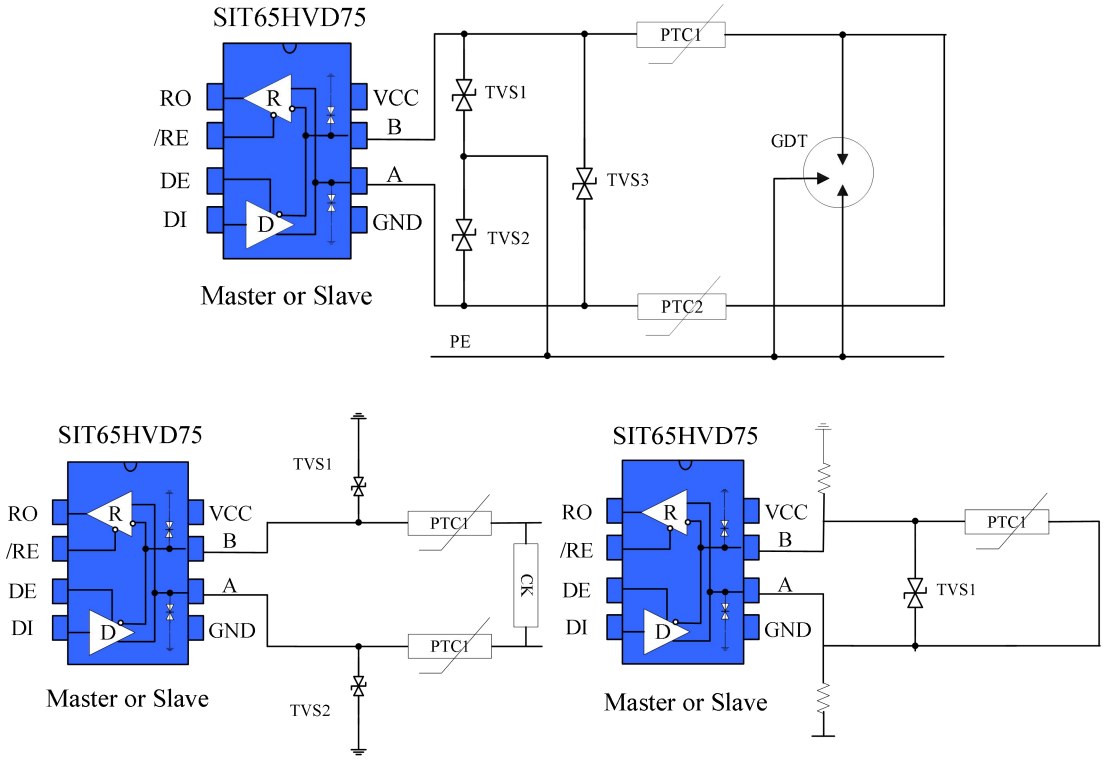
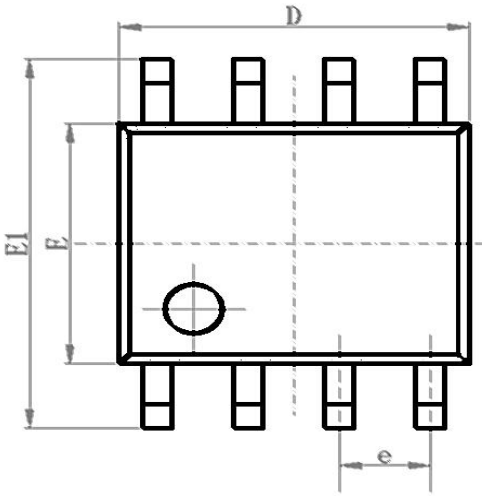


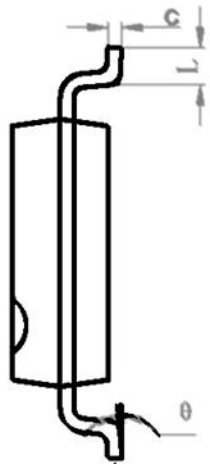
图 11 端口防护方案

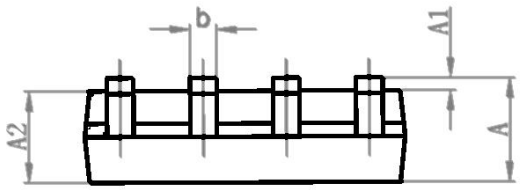
SOP8 外形尺寸

封装尺寸

符号	最小值/mm	典型值/mm	最大值/mm
A	1.50	1.60	1.70
A1	0.1	0.15	0.2
A2	1.35	1.45	1.55
b	0.355	0.400	0.455
D	4.800	4.900	5.00
E	3.780	3.880	3.980
E1	5.800	6.000	6.200
e		1.270BSC	
L	0.40	0.60	0.80
c	0.153	0.203	0.253
θ	-2°	-4°	-6°



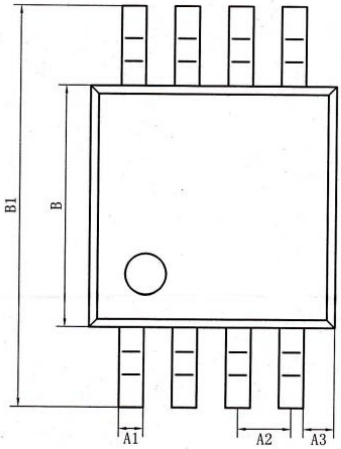


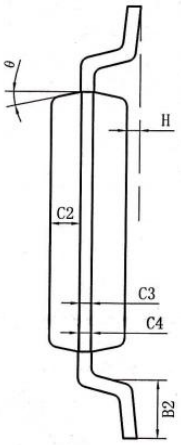


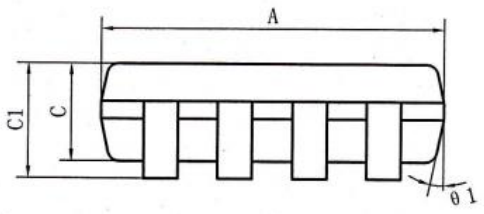
MSOP8/8μMAX/VSSOP8 外形尺寸

封装尺寸

符号	最小值/mm	典型值/mm	最大值/mm
A	2.90	3.0	3.10
A1	0.28		0.35
A2	0.65TYP		
A3	0.375TYP		
B	2.90	3.0	3.10
B1	4.70		5.10
B2	0.45		0.75
C	0.75		0.95
C1			1.10
C2	0.328 TYP		
C3	0.152		
C4	0.15		0.23
H	0.00		0.09
θ	12°TYP		



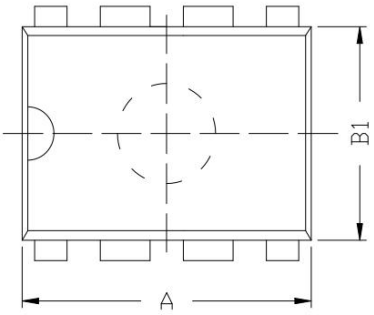


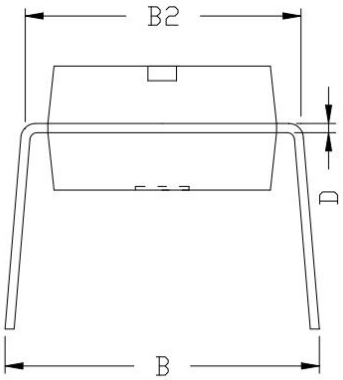


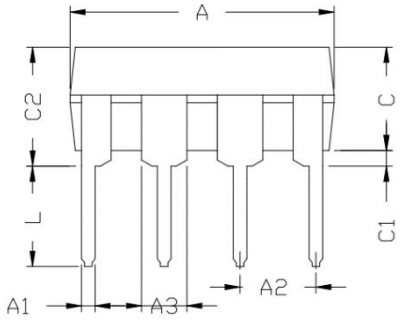
DIP8 外形尺寸

封装尺寸

符号	最小值/mm	典型值/mm	最大值/mm
A	9.00	9.20	9.40
A1	0.33	0.45	0.51
A2	2.54TYP		
A3	1.525TYP		
B	8.40	8.70	9.10
B1	6.20	6.40	6.60
B2	7.32	7.62	7.92
C	3.20	3.40	3.60
C1	0.50	0.60	0.80
C2	3.71	4.00	4.31
D	0.20	0.28	0.36
L	3.00	3.30	3.60



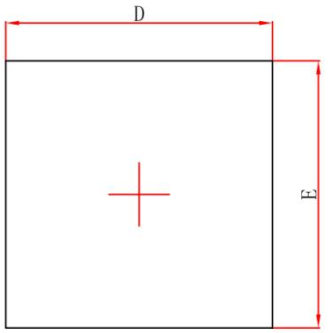


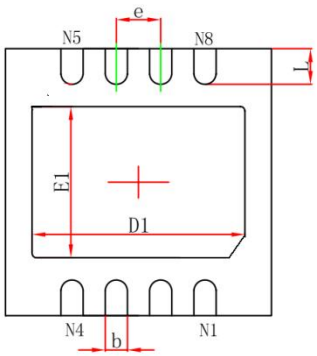


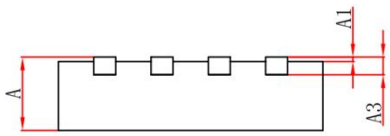
DFN3*3-8 外形尺寸

封装尺寸

符号	最小值/mm	典型值/mm	最大值/mm
A	0.700		0.900
A1	0.000	0.02	0.050
A3	0.203 REF		
D	2.900	3.000	3.100
E	2.900	3.000	3.100
D1	2.200	2.3	2.400
E1	1.400	1.5	1.600
b	0.2	0.25	0.33
e	0.650 TYP		
L	0.250		0.575



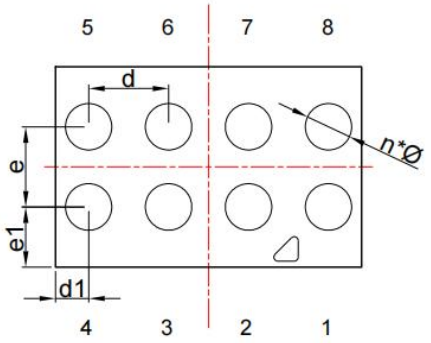


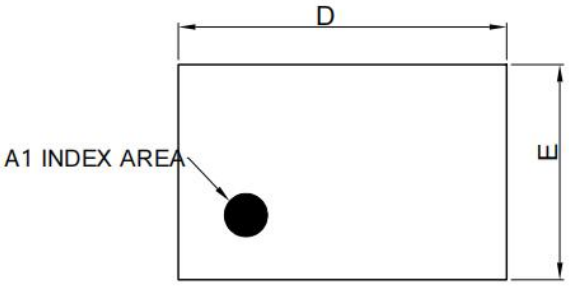


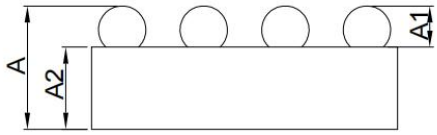
BGA 外形尺寸

封装尺寸

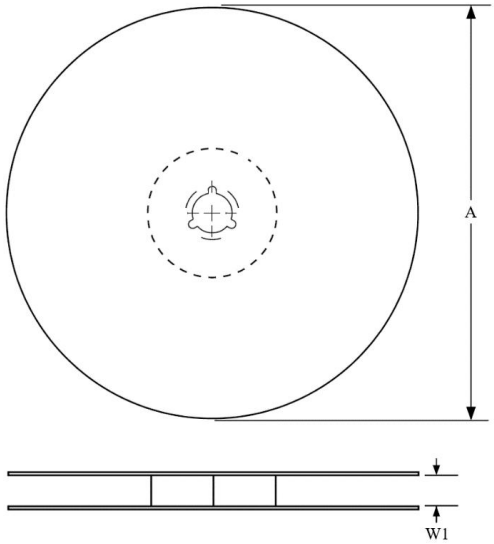
符号	最小值/mm	典型值/mm	最大值/mm
A	0.535	0.600	0.665
A1	0.175	0.200	0.225
A2	0.367	0.400	0.433
⌀	0.207	0.232	0.257
D	1.505	1.530	1.555
E	0.975	1.000	1.025
d	0.400		
e	0.400		
d1	0.165		
e1	0.300		
n	8		



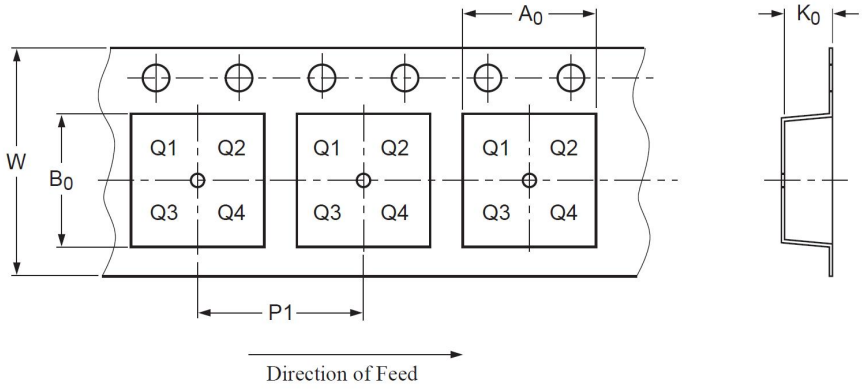




编带信息



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers



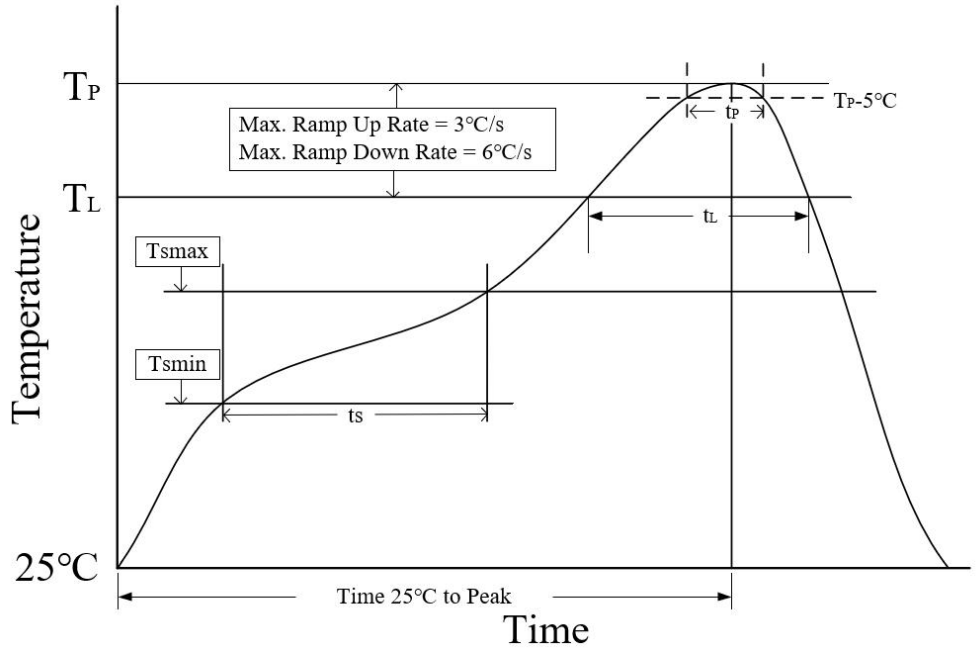
PIN1 is in quadrant 1

封装形式	卷盘直径 A (mm)	编带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)
SOP8	330	12.5±0.20	6.50±0.1	5.30±0.10	2.05±0.1	8.00±0.1	12.00±0.1
MSOP8	330	12.5±0.20	5.33±0.10	3.40±0.10	1.53±0.10	8.00±0.10	$12.00^{+0.30}_{-0.10}$
DFN3*3-8	330	12.5±0.20	3.30±0.10	3.30±0.10	1.10±0.1	8.00±0.10	$12.00^{+0.30}_{-0.10}$
BGA	330±2	8.4^{+2}_{-0}	1.15±0.05	1.74±0.05	0.72±0.05	4.00±0.10	$8.00^{+0.30}_{-0.10}$

定购信息

定购代码	封装	包装方式
SIT65HVD75DR	SOP8	盘装编带
SIT65HVD75DGK	MSOP8/VSSOP8/8μMAX	盘装编带
SIT65HVD75P	DIP8	管状包装
SIT65HVD75ETK	DFN3*3-8，小外形，无引脚	盘装编带
SIT65HVD75C	BGA	盘装编带

SOP8 和 MSOP8/VSSOP8/8μMAX 封装为 2500 颗/盘。DFN3*3-8 封装为 5000 颗/盘。BGA 封装为 3000 颗/盘。DIP8 封装为 50 颗/管。



参数	无铅焊接条件
平均温升速率（T_L to T_P）	3 °C/second max
预热时间 ts（T_{smin}=150 °C to T_{smax}=200 °C）	60-120 seconds
融锡时间 t_L（T_L=217 °C）	60-150 seconds
峰值温度 T_P	260-265 °C
小于峰值温度 5 °C以内时间 t_P	30 seconds
平均降温速率（T_P to T_L）	6 °C/second max
常温 25°C 到峰值温度 T_P 时间	8 minutes max

重要声明

芯力特有权在不事先通知的情况下，保留更改上述资料的权利。

修订历史

版本号	修订内容	修订时间
V1.0	初始版本。	2020.04
V1.1	更新 R_{IN} 最小值； 更新测试电路； 增加编带信息； 更新订购信息； 增加回流焊信息； 增加重要声明； 增加修订历史。	2023.02
V1.2	增加 SIT65HVD75C 型号及相关信息。	2026.04
V1.3	更新 SIT65HVD75C 引脚分布图; 更新 BGA 封装产品包装数量。	2026.09