

特点

- 兼容 ISO 11898-2:2024, SAE J2284-1 至 SAE J2284-5, SAE J1939-14 标准;
- 内置过温保护功能;
- 总线端口 $\pm 58V$ 耐压;
- $\pm 30V$ 总线共模电压
- 驱动器 (TXD) 显性超时功能;
- 待机总线 (BUS) 显性超时功能;
- 带唤醒功能的低功耗待机模式;
- SIT1042GT/3、SIT1042GTK/3 IO 口支持 1.8V、3.3V 和 5V MCU;
- VCC 和 VIO 电源引脚上具有欠压保护功能;
- 高速 CAN, 支持优化的 8Mbps 灵活数据速率 (CAN FD) (Flexible Data-Rate);
- 低电磁辐射能力和高抗电磁干扰能力;
- 未上电节点不干扰总线;
- 支持 SOP8 和 DFN3*3-8 封装。

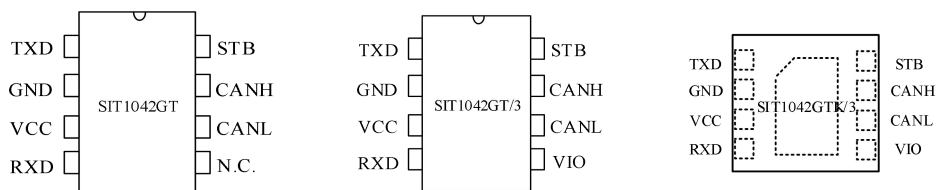
描述

SIT1042G 是一款应用于 CAN 协议控制器和物理总线之间的接口芯片, 可应用于工业控制等领域, 支持 8Mbps 灵活数据速率 CAN FD, 具有在总线与 CAN 协议控制器之间进行差分信号传输的能力。

SIT1042G 可完全兼容 SIT1042, SIT1042A 等系列产品。SIT1042G 新增支持 1.8V MCU, 并进一步的改善了 EMC 性能, 拥有更低的电磁辐射以及更强的抗干扰能力。

参数	符号	最小	最大	单位
总线供电电压	VCC	4.5	5.5	V
MCU 侧端口供电电压	VIO	1.7	5.5	V
CANH、CANL 引脚电压	V _{can}	-58	+58	V
总线差分电压	V _{diff}	1.5	3.0	V
结温	T _j	-40	150	°C

引脚分布图

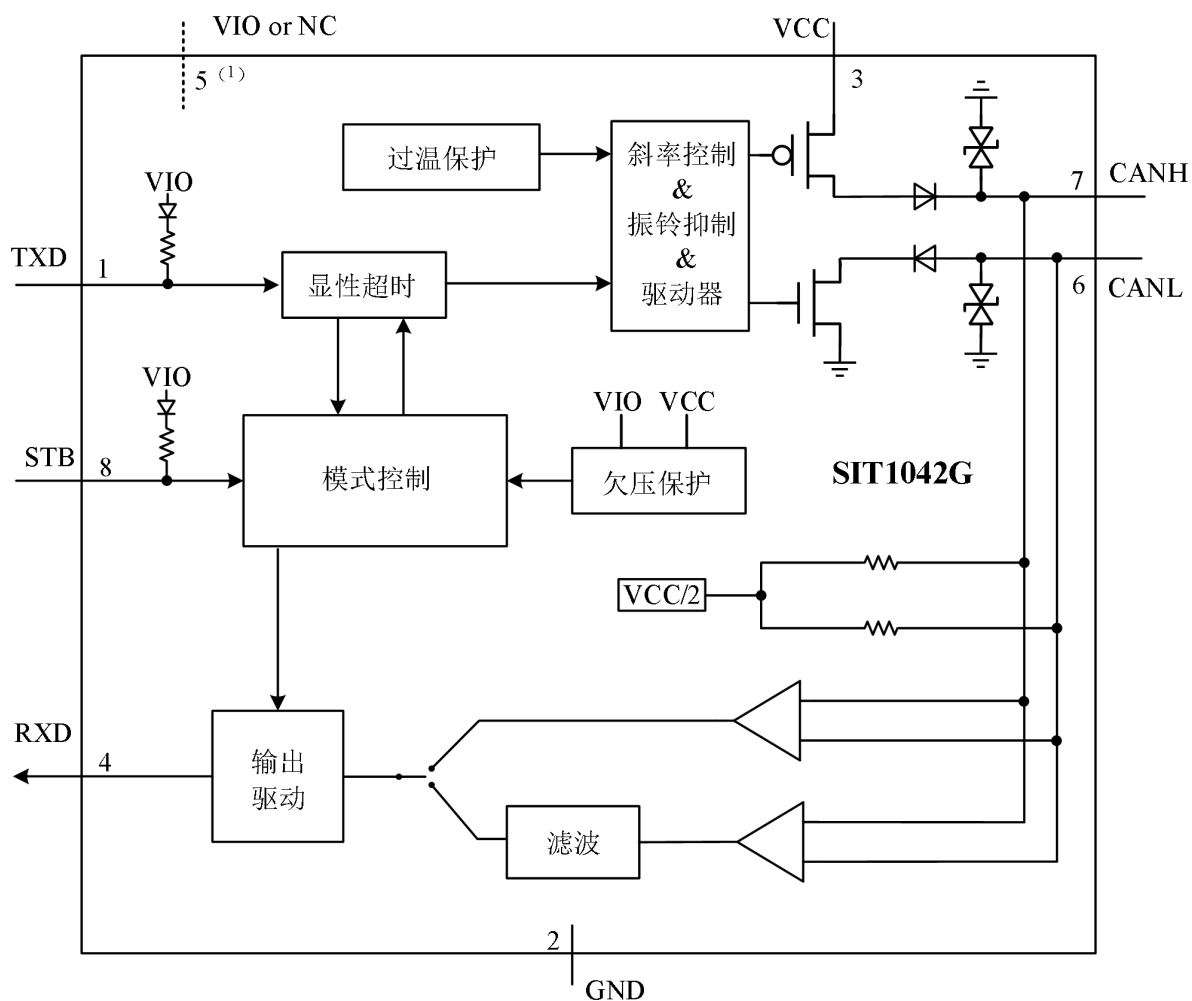


引脚定义

引脚序号	引脚名称	引脚功能
1	TXD	发送器数据输入端
2	GND	地
3	VCC	供电电源
4	RXD	接收器数据输出端
5	VIO	I/O 电平转换电源电压（SIT1042GT/3 和 SIT1042GTK/3 型号）
5	NC	无连接（SIT1042GT 型号）
6	CANL	低电位 CAN 电压输入输出端
7	CANH	高电位 CAN 电压输入输出端
8	STB	高速模式与待机模式选择，低电平为高速模式

注：DFN3*3-8 封装背面金属焊盘推荐接地。

内部电路结构框图



(1) VIO 存在于 SIT1042GT/3 和 SIT1042GTK/3 型号中, SIT1042GT 型号中 5 引脚为 NC。

极限参数

参数	符号	测试条件	大小	单位
电源电压	V_{CC}, V_{IO}	VCC, VIO 引脚	-0.3~+7	V
MCU 侧端口电压	$V_{TXD}, V_{RXD}, V_{STB}$	TXD, RXD, STB 引脚	-0.3~+7	V
总线侧输入电压	V_{CANH}, V_{CANL}	CANH, CANL 引脚	-58~+58	V
总线差分耐压	$V_{CANH-CANL}$		-58~+58	V
静电放电电压	V_{ESD}	IEC 61000-4:2: CANH, CANL 引脚	± 10	kV
		人体模型 (HBM), AEC Q100-002: 所有引脚	± 4	kV
		人体模型 (HBM), AEC Q100-002: CANH 和 CANL 引脚对地	± 6	kV
		充电模型 (CDM): 所有引 脚	± 2000	V
瞬态电压	V_{trt}	Pulse 1	-100	V
		Pulse 2a	75	V
		Pulse 3a	-150	V
		Pulse 3b	100	V
存储温度范围	T_{stg}		-55~150	$^{\circ}C$
结温	T_j		-40~150	$^{\circ}C$

最大极限参数值是指超过这些值可能会使器件发生不可恢复的损坏。在这些条件之下是不利于器件正常运作的, 器件连续工作在最大允许额定值下可能影响器件可靠性, 所有的电压的参考点为地。

热阻特性

符号	参数	测试条件	大小	单位
$R_{\theta JA}$	结至环境热阻	SOP8	95	$^{\circ}C/W$
		DFN3*3-8	65	$^{\circ}C/W$
$R_{\theta JC}$	结至外壳热阻	SOP8	46	$^{\circ}C/W$
		DFN3*3-8	35	$^{\circ}C/W$

总线发送器直流特性

参数	符号	测试条件	最小	典型	最大	单位
CANH 输出电压 (显性)	$V_{OH(D)}$	正常模式, $V_{TXD}=0V$, $R_L=50\Omega$ 至 65Ω	2.75	3.5	4.5	V
CANL 输出电压 (显性)	$V_{OL(D)}$		0.5	1.5	2.25	V
总线输出差分电压 (显性)	$V_{OD(D)}$	正常模式, $V_{TXD}=0V$, $R_L=50\Omega$ 至 65Ω	1.5	-	3	V
		正常模式, $V_{TXD}=0V$, $R_L=45\Omega$ 至 70Ω	1.4	-	3.3	V
		正常模式, $V_{TXD}=0V$, $R_L=2240\Omega$	1.5	-	5	V
总线输出电压 (隐性)	$V_{O(R)}$	正常模式, $V_{TXD}=V_{IO}$, 无负载	2	$0.5V_{CC}$	3	V
		正常模式, $V_{TXD}=V_{IO}$, $R_L=60\Omega$	2.2	$0.5V_{CC}$	2.8	V
总线差分输出电压 (隐性)	$V_{OD(R)}$	正常模式, $V_{TXD}=V_{IO}$, 无负载	-50	-	50	mV
		正常模式, $V_{TXD}=V_{IO}$, $R_L=60\Omega$	-50	-	50	mV
总线输出电压 (总线偏置到地)	$V_{O(S)}$	待机模式, 无负载	-0.1	-	0.1	V
总线差分输出电压 (总线偏置到地)	$V_{OD(S)}$	待机模式, 无负载	-0.2	-	0.2	V
显性输出电压对称性	$V_{dom(TX)sym}$	$V_{dom(TX)sym}=V_{CC}-V_{CANH}-V_{CANL}$	-400	-	400	mV
输出电压对称性	$V_{TXsym}^{(1)}$	$V_{TXsym}=V_{CANH}+V_{CANL}$, $R_L=60\Omega$, $C_{SPLIT}=4.7nF$, $f_{TXD}=250kHz$, $1MHz$, $2.5MHz$; 图 5	$0.9V_{CC}$	-	$1.1V_{CC}$	V
显性隐性共模输出电压差	$V_{cm(step)}$	图 3, 图 5	-150	-	150	mV
显性隐性共模峰峰值	$V_{cm(p-p)}^{(1)}$	图 3, 图 5	-300	-	300	mV
显性短路输出电流	$I_{O(SC)DOM}$	正常模式, $V_{TXD}=0V$, $V_{CANH}=-15V$ 至 $40V$	-100	-	-	mA
		正常模式, $V_{TXD}=0V$, $V_{CANL}=-15V$ 至 $40V$	-	-	100	mA
隐性短路输出电流	$I_{O(SC)REC}$	正常模式, $V_{TXD}=V_{IO}$, $V_{CANH}=V_{CANL}=-27V$ 至 $32V$	-3	-	3	mA

如无另外说明, 所有典型值均在 $25^{\circ}C$ 、电源电压 $V_{CC}=5V$ 、 $V_{IO}=5V$ (如果适用)、 $R_L=60\Omega$ 的条件下测得。

(1) 设计保证, 未在生产中测试。

总线发送器开关特性

参数	符号	测试条件	最小	典型	最大	单位
传播延时（低到高）	$t_{d(TXD-busdom)}$	正常模式, 图 1 , 图 4	-	-	80	ns
传播延时（高到低）	$t_{d(TXD-busrec)}$	正常模式, 图 1 , 图 4	-	-	80	ns
差分输出上升时间	$t_{r(BUS)}$		-	30	-	ns
差分输出下降时间	$t_{f(BUS)}$		-	30	-	ns

如无另外说明, 所有典型值均在 25°C、电源电压 $V_{CC}=5V$ 、 $V_{IO}=5V$ （如果适用）、 $R_L=60\Omega$ 的条件下测得。

总线接收器直流特性

参数	符号	测试条件	最小	典型	最大	单位
接收器阈值电压	$V_{th(RX)dif}$	正常模式, $-30V < V_{CM} < 30V$	0.5	-	0.9	V
		待机模式, $-12V < V_{CM} < 12V$	0.4	-	1.1	V
接收器阈值电压迟滞区间	$V_{hys(RX)dif}$	正常模式, $-30V < V_{CM} < 30V$	-	80	-	mV
接收器隐性电压区间	$V_{rec(RX)}$	正常模式, $-30V < V_{CM} < 30V$	-3	-	0.5	V
		待机模式, $-12V < V_{CM} < 12V$	-3	-	0.4	V
接收器显性电压区间	$V_{dom(RX)}$	正常模式, $-30V < V_{CM} < 30V$	0.9	-	8	V
		待机模式, $-12V < V_{CM} < 12V$	1.1	-	8	V
总线漏电流	I_L	$V_{CC}=V_{IO}=0V$, $V_{CANH}=V_{CANL}=5V$, $T_{amb} < 105^\circ C$	-10	-	10	μA
CANH、CANL 输入电阻	R_{IN}	$-2V \leq V_{CANH} \leq 7V$ $-2V \leq V_{CANL} \leq 7V$	25	40	50	k Ω
CANH、CANL 差分输入电阻	R_{ID}	$-2V \leq V_{CANH} \leq 7V$ $-2V \leq V_{CANL} \leq 7V$	50	80	100	k Ω
CANH、CANL 输入电阻失配度	ΔR_{IN}	$0V \leq V_{CANH} \leq 5V$ $0V \leq V_{CANL} \leq 5V$	-2	-	2	%
CANH、CANL 对地输入电容	C_{IN} ①	$V_{TXD}=V_{IO}$	-	-	40	pF
CANH、CANL 差分输入电容	C_{ID} ①	$V_{TXD}=V_{IO}$	-	-	20	pF
总线压摆率	SR ①	图 4	-	-	70	V/ μs

如无另外说明, 所有典型值均在 25°C、电源电压 $V_{CC}=5V$ 、 $V_{IO}=5V$ （如果适用）、 $R_L=60\Omega$ 的条件下测得。

(1) 设计保证, 未在生产中测试。

总线接收器开关特性

参数	符号	测试条件	最小	典型	最大	单位
传播延迟 (低到高)	$t_{d(busdom-RXD)}$	正常模式, 图 1 , 图 4	-	-	110	ns
传播延迟 (高到低)	$t_{d(busrec-RXD)}$	正常模式, 图 1 , 图 4	-	-	110	ns
RXD 信号上升时间	$t_{r(RXD)}$		-	8	-	ns
RXD 信号下降时间	$t_{f(RXD)}$		-	8	-	ns

如无另外说明, 所有典型值均在 25°C、电源电压 $V_{CC}=5V$ 、 $V_{IO}=5V$ (如果适用)、 $R_L=60\Omega$ 的条件下测得。

器件开关特性

参数	符号	测试条件	最小	典型	最大	单位
环路延迟 1, TXD 下降沿 至 RXD 下降沿	t_{loop1}	正常模式, 图 1 , 图 4	40	-	190	ns
环路延迟 2, TXD 上升沿 至 RXD 上升沿	t_{loop2}	正常模式, 图 1 , 图 4	40	-	190	ns
传输隐性位宽偏差	$\Delta t_{bit(BUS)}$	根据 ISO 11898-2:2024 set B, 图 2 , 图 4				
		$\Delta t_{bit(BUS)} = t_{bit(BUS)} - t_{bit(TXD)}$	-45	-	10	ns
		根据 ISO 11898-2:2024 set C, 图 2 , 图 4 ⁽¹⁾				
		$\Delta t_{bit(BUS)} = t_{bit(BUS)} - t_{bit(TXD)}$	-10	-	10	ns
接收器时序对称性	Δt_{rec}	根据 ISO 11898-2:2024 set B, 图 2 , 图 4 ⁽¹⁾				
		$\Delta t_{rec} = t_{bit(RXD)} - t_{bit(BUS)}$	-45	-	15	ns
		根据 ISO 11898-2:2024 set C, 图 2 , 图 4 ⁽¹⁾				
		$\Delta t_{rec} = t_{bit(RXD)} - t_{bit(BUS)}$	-20	-	15	ns
接收隐性位宽偏差	$\Delta t_{bit(RXD)}$	根据 ISO 11898-2:2024 set B, 图 2 , 图 4				
		$\Delta t_{bit(RXD)} = t_{bit(RXD)} - t_{bit(TXD)}$	-80	-	20	ns
		根据 ISO 11898-2:2024 set C, 图 2 , 图 4 ⁽¹⁾				
		$\Delta t_{bit(RXD)} = t_{bit(RXD)} - t_{bit(TXD)}$	-30	-	20	ns
TXD 显性超时时间	$t_{dom(TXD)}$		0.8	2	6	ms
BUS 显性超时时间	$t_{dom(BUS)}$		0.8	2	6	ms
待机模式到正常模式使能 时间	t_{mode}			-	10	μs
总线显性滤波时间	$t_{wake(dom)}$		0.5	-	1.8	μs

参数	符号	测试条件	最小	典型	最大	单位
总线隐性滤波时间	$t_{wake(rec)}$		0.5	-	1.8	μs

如无另外说明, 所有典型值均在 25°C、电源电压 $V_{CC}=5V$ 、 $V_{IO}=5V$ (如果适用)、 $R_L=60\Omega$ 的条件下测得。

(1) 设计保证, 未在生产中测试。

TXD 引脚特性

参数	符号	测试条件	最小	典型	最大	单位
未上电 TXD 漏电流	$I_{O(off)}$	$V_{CC}=V_{IO}=0V$, $V_{TXD}=5.5V$	-1	-	1	μA
输入高电平下限	V_{IH}	SIT1042GT/3 SIT1042GTK/3	$0.7V_{IO}$	-	$V_{IO}+0.3$	V
输入低电平上限	V_{IL}	SIT1042GT/3 SIT1042GTK/3	-0.3	-	$0.3V_{IO}$	V
输入高电平下限	V_{IH}	SIT1042GT	2	-	$V_{CC}+0.3$	V
输入低电平上限	V_{IL}	SIT1042GT	-0.3	-	0.8	V
上拉电阻	R_{pu}	$2.8V < V_{IO} < 5.5V$	20	-	80	$k\Omega$
TXD 端口悬空电压	TXD_O		H			logic

如无另外说明, 所有典型值均在 25°C、电源电压 $V_{CC}=5V$ 、 $V_{IO}=5V$ (如果适用)、 $R_L=60\Omega$ 的条件下测得。

STB 引脚特性

参数	符号	测试条件	最小	典型	最大	单位
未上电 STB 漏电流	$I_{O(off)}$	$V_{CC}=V_{IO}=0V$, $V_{STB}=5.5V$	-1	-	1	μA
输入高电平下限	V_{IH}	SIT1042GT/3 SIT1042GTK/3	$0.7V_{IO}$	-	$V_{IO}+0.3$	V
输入低电平上限	V_{IL}	SIT1042GT/3 SIT1042GTK/3	-0.3	-	$0.3V_{IO}$	V
输入高电平下限	V_{IH}	SIT1042GT	2	-	$V_{CC}+0.3$	V
输入低电平上限	V_{IL}	SIT1042GT	-0.3	-	0.8	V
上拉电阻	R_{pu}	$2.8V < V_{IO} < 5.5V$	20	-	80	$k\Omega$
STB 端口悬空电压	STB_O		H			logic

如无另外说明, 所有典型值均在 25°C、电源电压 $V_{CC}=5V$ 、 $V_{IO}=5V$ (如果适用)、 $R_L=60\Omega$ 的条件下测得。

RXD 引脚特性

参数	符号	测试条件	最小	典型	最大	单位
RXD 端口高电平输出电流	$I_{OH}(RXD)$	$V_{RXD}=V_{IO}-0.4V$, 总线隐性	-10	-5	-1	mA
RXD 端口低电平输出电流	$I_{OL}(RXD)$	$V_{RXD}=0.4V$, 总线显性	1	5	10	mA
未上电 RXD 漏电流	$I_{O(off)}$	$V_{CC}=V_{IO}=0V$, $V_{RXD}=5.5V$	-5	-	5	μA

如无另外说明, 所有典型值均在 25°C、电源电压 $V_{CC}=5V$ 、 $V_{IO}=5V$ (如果适用)、 $R_L=60\Omega$ 的条件下测得。

供电电流

参数	符号	测试条件	最小	典型	最大	单位
VCC 电源电流	I_{CC_DOM}	正常模式显性	-	42	70	mA
	I_{CC_REC}	正常模式隐性	-	5	10	mA
	$I_{CC_DOM_S}$	显性总线短路, $-3V < (V_{CANH}=V_{CANL}) < 40V$	-	-	109	mA
	I_{CC_STB}	待机模式, $V_{STB}=V_{TXD}=V_{IO}$, (SIT1042GT/3、 SIT1042GTK/3)	-	-	4	μA
	I_{CC_STB}	待机模式, $V_{STB}=V_{TXD}=V_{CC}$, (SIT1042GT)	-	-	26	μA
VIO 电源电流	I_{IO_DOM}	正常模式显性	-	240	420	μA
	I_{IO_REC}	正常模式隐性	-	120	240	μA
	I_{IO_STB}	待机模式, $V_{STB}=V_{TXD}=V_{IO}$	-	12	24	μA

如无另外说明, 所有典型值均在 25°C、电源电压 $V_{CC}=5V$ 、 $V_{IO}=5V$ (如果适用)、 $R_L=60\Omega$ 的条件下测得。

过温保护

参数	符号	测试条件	最小	典型	最大	单位
过温关断	$T_{j(sd)}$ ⁽¹⁾		-	190	-	°C

如无另外说明, 所有典型值均在 25°C、电源电压 $V_{CC}=5V$ 、 $V_{IO}=5V$ (如果适用)、 $R_L=60\Omega$ 的条件下测得。

(1) 设计保证, 未在生产中测试。

欠压保护

参数	符号	测试条件	最小	典型	最大	单位
VCC 欠压保护	V_{UVD_VCC}		3.7	-	4.3	V
VIO 欠压保护	V_{UVD_VIO}		1.4	-	1.65	V

如无另外说明, 所有典型值均在 25°C、电源电压 $V_{CC}=5V$ 、 $V_{IO}=5V$ (如果适用)、 $R_L=60\Omega$ 的条件下测得。

功能表

表 1 CAN 收发器真值表

TXD ⁽¹⁾	STB ⁽¹⁾	CANH ⁽¹⁾	CANL ⁽¹⁾	BUS 状态	RXD ⁽¹⁾
L	L	H	L	显性	L
H (或浮空)	L	$0.5V_{CC}$	$0.5V_{CC}$	隐性	H
X	H (或浮空)	GND	GND	隐性	H

(1) H=高电平; L=低电平; X=不关心

表 2 接收器功能表

工作模式	$V_{ID}=V_{CANH}-V_{CANL}$	BUS 状态	RXD ⁽¹⁾
正常模式	$V_{ID} \geq 0.9V$	显性	L
	$0.5 < V_{ID} < 0.9V$	?	?
	$V_{ID} \leq 0.5V$	隐性	H
待机模式	$V_{ID} \geq 1.1V$	显性	L
	$0.4 < V_{ID} < 1.1V$	?	?
	$V_{ID} \leq 0.4V$	隐性	H

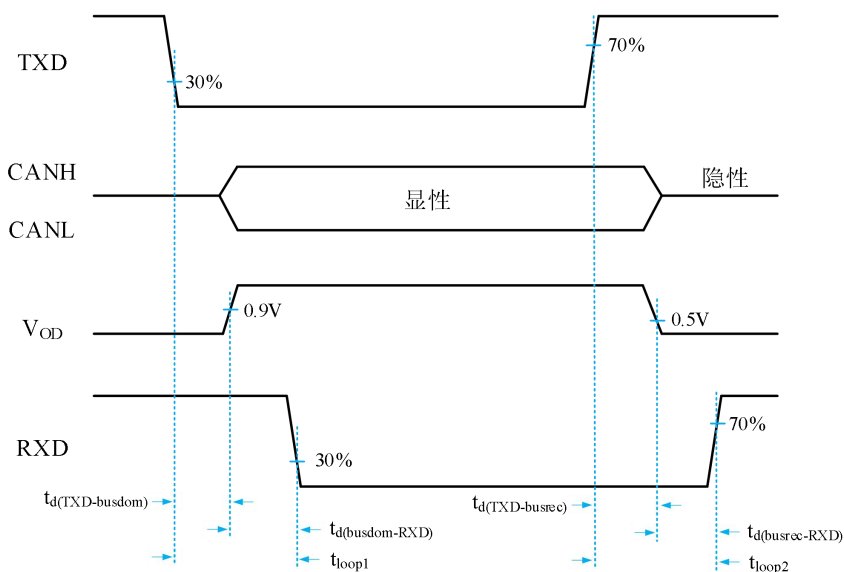
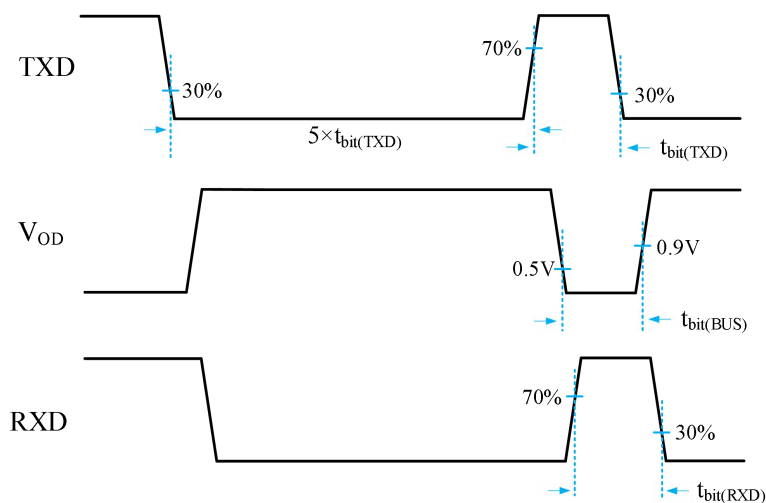
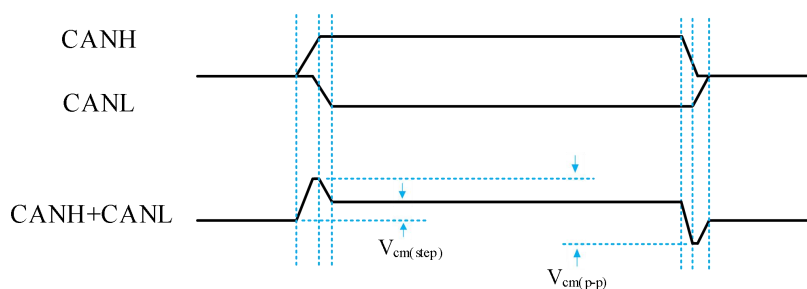
(1) H=高电平; L=低电平; ? =不确定

表 3 欠压保护状态表

VCC	VIO ⁽¹⁾	BUS 状态	BUS 输出 ⁽²⁾	RXD ⁽²⁾
$V_{CC} > V_{uvd_VCC}$	$V_{IO} > V_{uvd_VIO}$	正常	根据 STB 和 TXD	跟随总线
$V_{CC} < V_{uvd_VCC}$	$V_{IO} > V_{uvd_VIO}$	保护态	GND	H
$V_{CC} > V_{uvd_VCC}$	$V_{IO} < V_{uvd_VIO}$	保护态	Z	Z
$V_{CC} < V_{uvd_VCC}$	$V_{IO} < V_{uvd_VIO}$	保护态	Z	Z

(1) 仅限 SIT1042GT/3 和 SIT1042GTK/3 型号;

(2) H=高电平; Z=高阻态。

波形时序图

图 1 收发器传输延时示意图

图 2 t_{bit} 延时示意图

图 3 总线共模电压 (SAE 1939-14)

测试电路

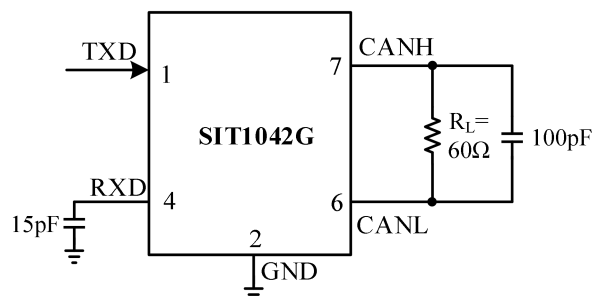


图 4 收发器时序测试电路图

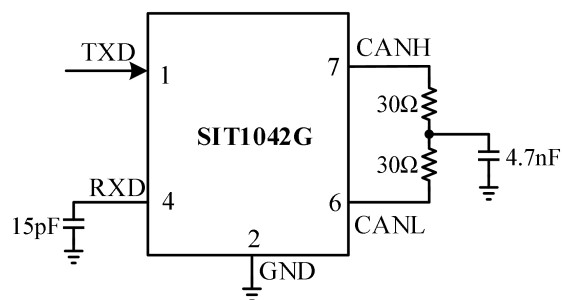
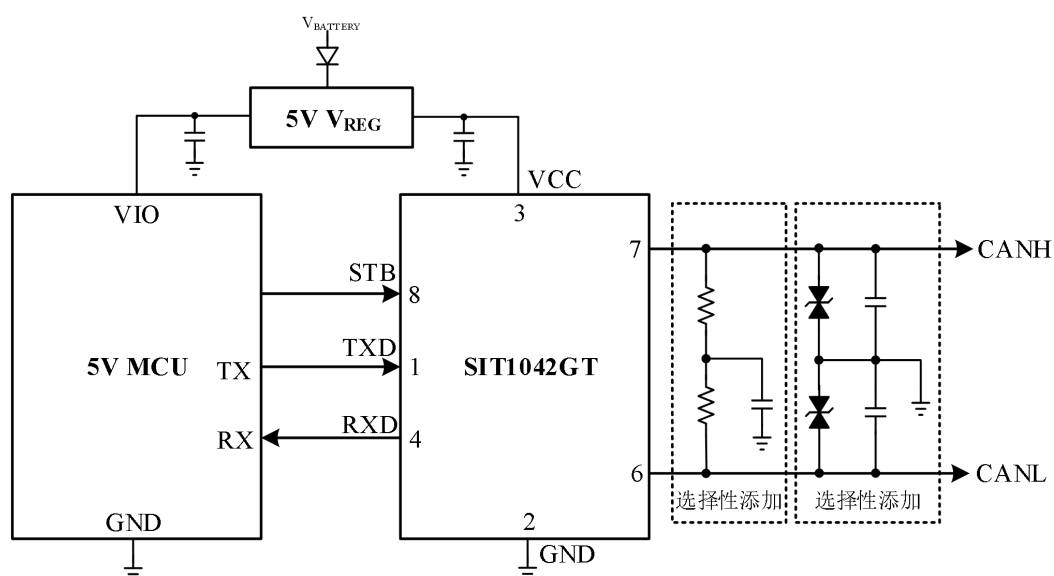
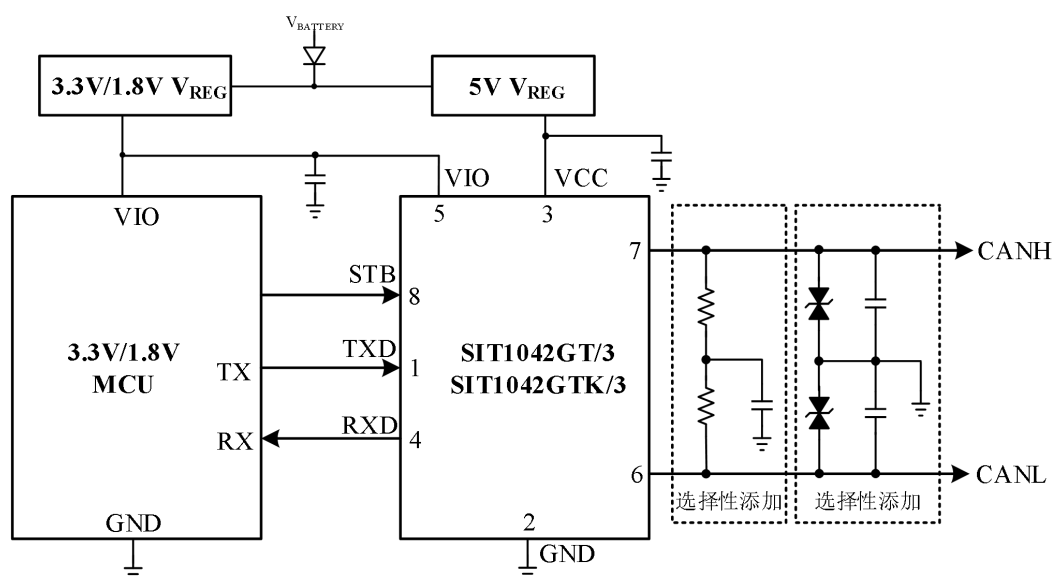


图 5 收发器总线对称性测试电路图

典型应用图

图 6 SIT1042GT、SIT1042GTK 与 5V MCU 典型应用图

图 7 SIT1042GT/3、SIT1042GTK/3 与 3.3V/1.8V MCU 典型应用图

说明

1 简述

SIT1042G 是一款应用于 CAN 协议控制器和物理总线之间的接口芯片, 可应用于工业控制等领域, 支持 8Mbps 灵活数据速率 CAN FD, 具有在总线与 CAN 协议控制器之间进行差分信号传输的能力, 完全兼容 “ISO 11898-2:2024” 标准。

2 短路保护

SIT1042G 的驱动级具有限流保护功能, 以防止驱动电路短路到正和负电源电压, 发生短路时功耗会增加, 短路保护功能可以保护驱动级不被损坏。

3 过温保护

SIT1042G 具有过温保护功能, 过温保护触发后, 驱动级的电流将减小, 因为驱动管是主要的耗能部件, 电流减小可以降低功耗从而降低芯片温度。同时芯片的其它部分仍然保持正常工作。

4 欠压保护

SIT1042G 电源引脚上具有欠压检测功能, 可将器件置于受保护模式。这样可在 V_{CC} 低于 V_{uvd_VCC} 或 V_{IO} 低于 V_{uvd_VIO} (如果适用) 时保护总线。

5 控制模式

控制引脚 STB 允许选择两种工作模式: 高速模式和待机模式。

高速模式是正常工作模式, 通过将引脚 STB 接地来选择。CAN 驱动器和接收器均能完全正常运行且 CAN 通信双向进行。

将引脚 STB 设置为高电平或浮空, 可激活低功耗待机模式。CAN 驱动器和接收器均关断以节系统功耗。待机模式激活低功耗接收器和唤醒滤波器, 一旦低功耗接收器检测到超过 t_{wake} 的主导总线电平, 引脚 RXD 将跟随总线。(在 SIT1042GT/3、SIT1042GTK/3 中, 当 V_{CC} 欠压或者 V_{CC} 浮空, 只要 V_{IO} 正常供电, 低功耗接收器仍可检测总线上的显隐性电平)

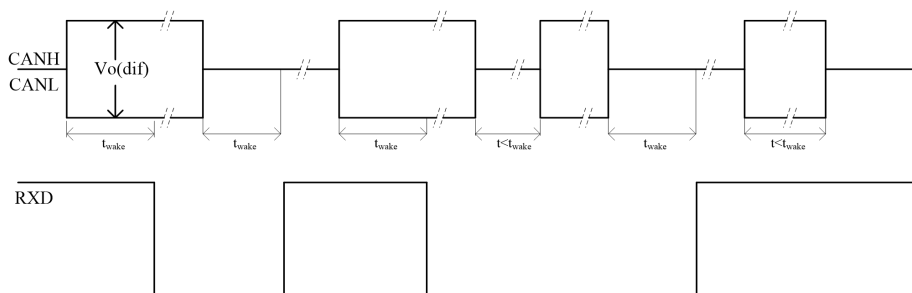


图 8 唤醒时序

6 显性超时功能

在高速模式下, 如果引脚 TXD 上的低电平持续时间超过内部定时器值 (t_{dom_TXD}), 发送器将被

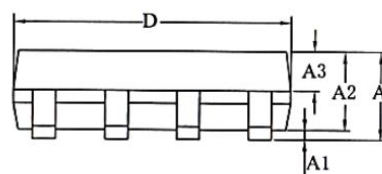
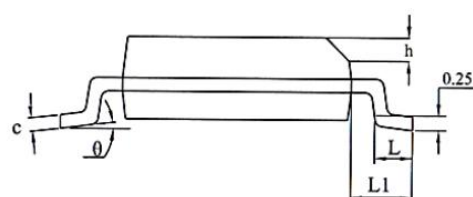
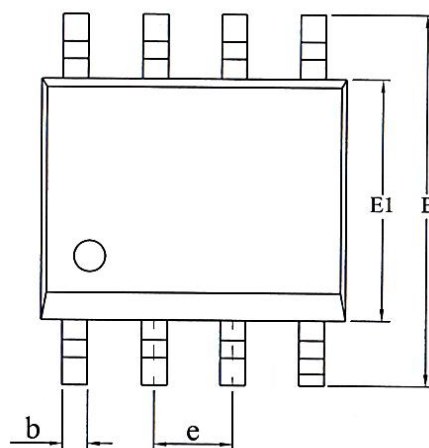
禁用, 驱动总线进入隐性状态。可防止引脚 TXD 因硬件或软件应用故障而被强制为永久低电平导致总线线路被驱动至永久显性状态 (阻塞所有网络通信)。引脚 TXD 出现上升沿信号可复位。

在待机模式下, 如果总线出现显性状态并持续时间超过 (t_{dom_BUS}), 引脚 RXD 将强制变为高电平。可防止由于总线短路或网络上其他一个节点的故障导致的永久唤醒。当总线由显性变为隐性即可复位。

SOP8 外形尺寸

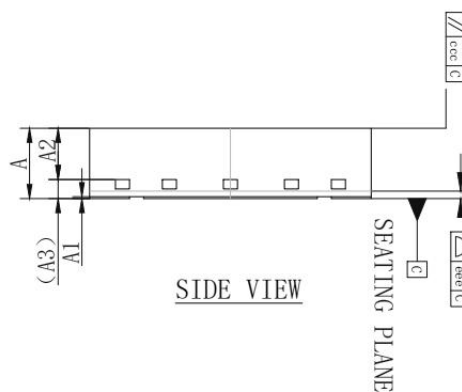
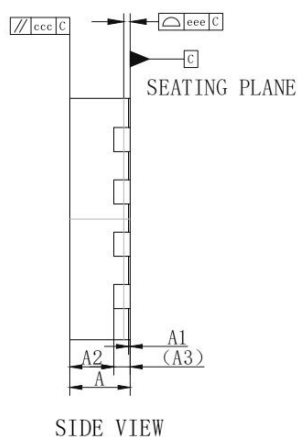
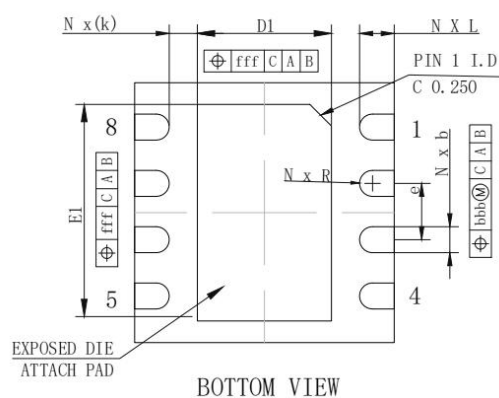
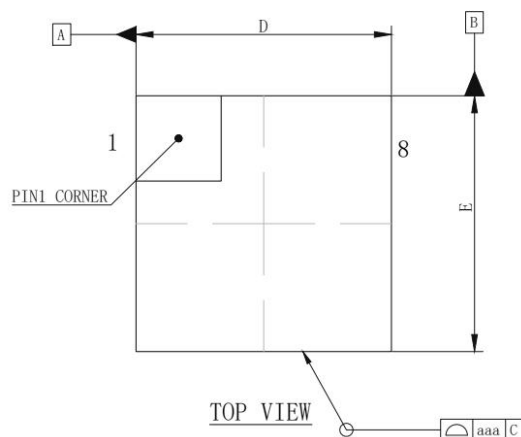
封装尺寸

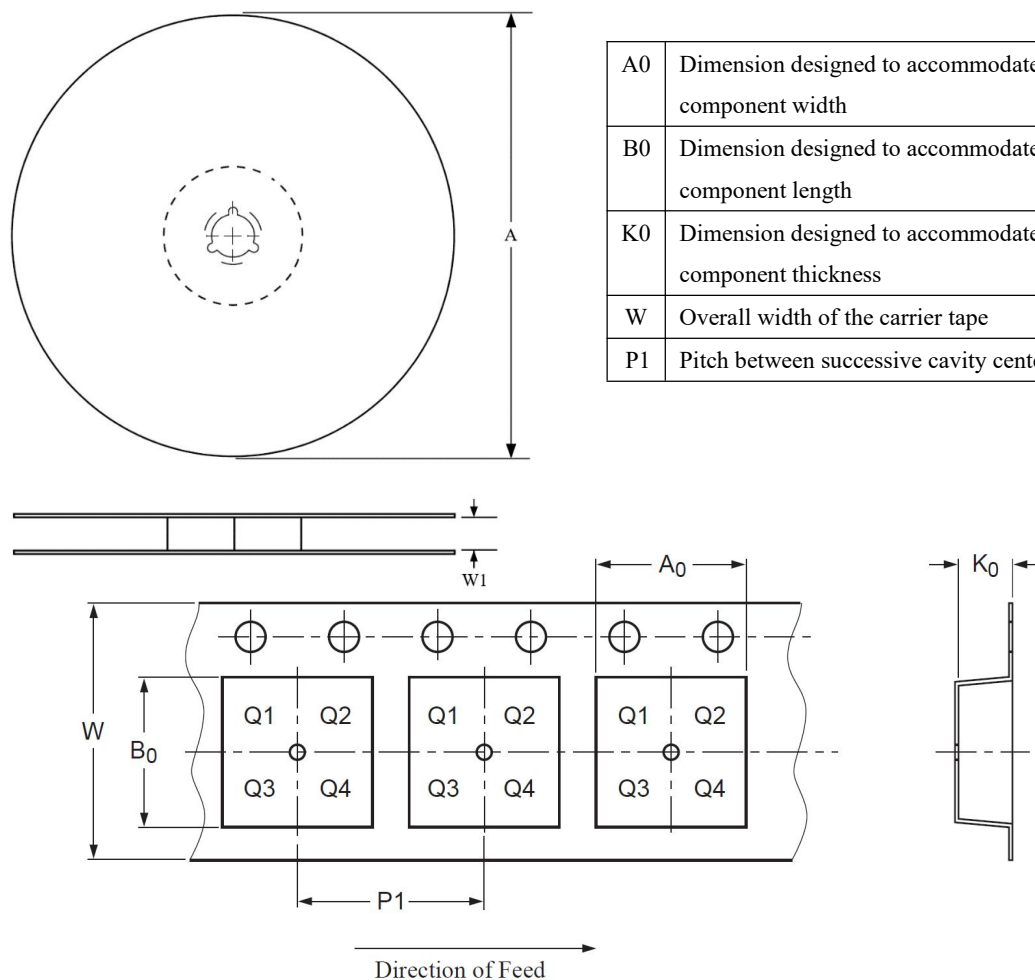
符号	最小值/mm	典型值/mm	最大值/mm
A	1.40	-	1.80
A1	0.10	-	0.25
A2	1.30	1.40	1.50
A3	0.60	0.65	0.70
b	0.38	-	0.51
D	4.80	4.90	5.00
E	5.80	6.00	6.20
E1	3.80	3.90	4.00
e	1.27BSC		
L	0.40	0.60	0.80
L1	1.05REF		
c	0.20	-	0.25
θ	0°	-	8°



DFN3*3-8 外形尺寸
封装尺寸

符号	最小值/mm	典型值/mm	最大值/mm
D	2.900	3.000	3.100
E	2.900	3.000	3.100
E1	1.450	1.550	1.650
D1	2.400	2.500	2.600
A	0.700	0.750	0.800
A1	0.000	0.020	0.050
A2	0.497	0.547	0.597
A3	0.203 REF		
b	0.250	0.300	0.350
e	0.65 BSC		
k	0.325 REF		
L	0.350	0.400	0.450
aaa	0.100		
ccc	0.100		
eee	0.080		
bbb	0.070		
fff	0.100		



编带信息


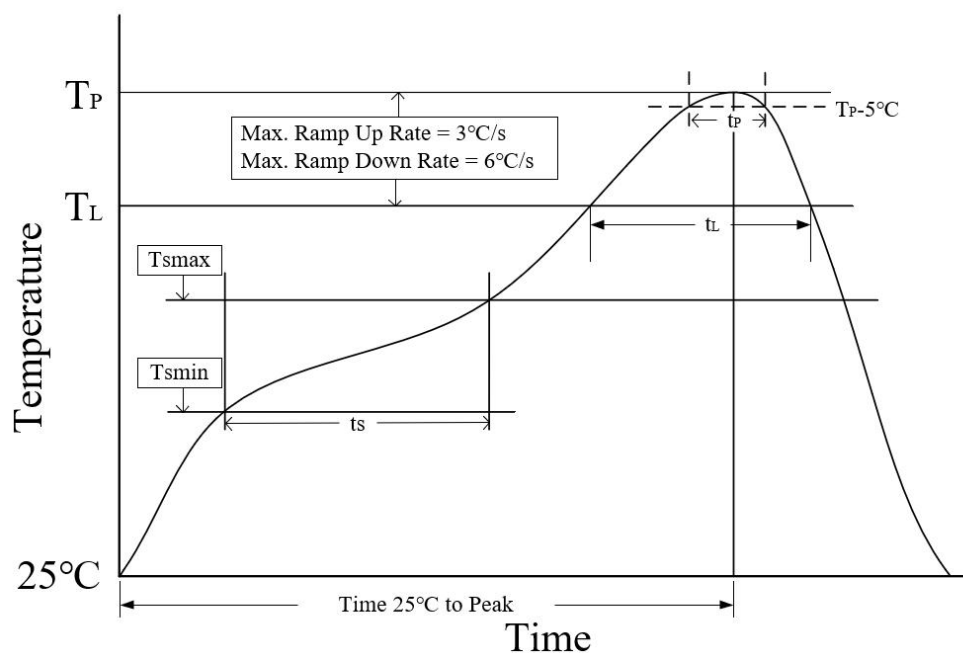
PIN1 is in quadrant 1

封装类型	卷盘直径 A (mm)	编带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)
SOP8	330 $\pm$ 1	12.4	6.60 $\pm$ 0.1	5.30 $\pm$ 0.10	1.90 $\pm$ 0.1	8.00 $\pm$ 0.1	12.00 $\pm$ 0.1
DFN3*3-8	329 $\pm$ 1	12.4	3.30 $\pm$ 0.1	3.30 $\pm$ 0.1	1.10 $\pm$ 0.1	8.00 $\pm$ 0.1	12.00 $\pm$ 0.3

订购信息

订购代码	封装	MSL	包装方式
SIT1042GT	SOP8	MSL3	盘装编带
SIT1042GT/3	SOP8	MSL3	盘装编带
SIT1042GTK/3	DFN3*3-8, 小外形, 无引脚	MSL3	盘装编带

SOP8 编带式包装为 2500 颗/盘, DFN3*3-8 编带式包装为 5000 颗/盘。



参数	无铅焊接条件
平均温升速率 (T_L to T_P)	3 °C/second max
预热时间 t_s ($T_{smin}=150\text{ °C}$ to $T_{smax}=200\text{ °C}$)	60-120 seconds
融锡时间 t_L ($T_L=217\text{ °C}$)	60-150 seconds
峰值温度 T_P	260-265 °C
小于峰值温度 5 °C 以内时间 t_p	30 seconds
平均降温速率 (T_P to T_L)	6 °C/second max
常温 25°C 到峰值温度 T_P 时间	8 minutes max

重要声明

芯力特有权在不事先通知的情况下, 保留更改上述资料的权利。

修订历史

版本号	修订内容	修订时间
V1.0	初始版本。	2026.04
V1.1	优化灵活数据速率; 增加压摆率指标值; 删除 $t_{bit}(BUS)$ 、 $t_{bit}(RXD)$; 新增满足 ISO 11898-2:2024 set C 的 CAN FD 时序特性指标; 删除 SIT1042GTK 定购代码。	2026.08